

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-26917

(43)公開日 平成9年(1997)1月28日

(51)Int.Cl.⁶
G 0 6 F 12/16

識別記号
3 4 0

序内整理番号
7623-5B

F I
G 0 6 F 12/16

技術表示箇所
3 4 0 T

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号 特願平7-174892

(22)出願日 平成7年(1995)7月11日

(71)出願人 396004833

株式会社エクシング

名古屋市中区錦3丁目10番33号

(71)出願人 000005267

プラザーワークス株式会社

愛知県名古屋市瑞穂区苗代町15番1号

(72)発明者 山下 芳輝

愛知県名古屋市昭和区桜山町6丁目104番

地 株式会社エクシング内

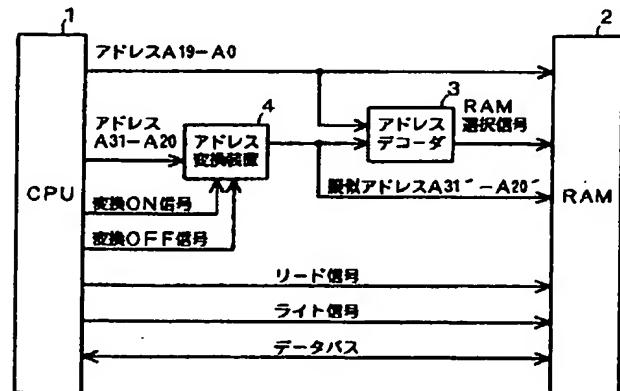
(74)代理人 弁理士 足立 勉

(54)【発明の名称】 メモリ装置

(57)【要約】

【課題】 メモリ装置の起動時に、実装されている全メモリ容量の検出とその機能確認ができないことによる弊害を防止する。

【解決手段】 CPU 1は、アドレス変換装置4の疑似アドレス用データをクリアし、変換ON信号を出力する。次に、RAM 2の1つのアドレスにデータを書き込み読み出す。両者のデータが一致していなければ変換OFF信号を出力する。一致していればアドレス信号A19-A0をインクリメントする。それらが全て0であれば、疑似アドレス用データをインクリメントする。疑似アドレス用データも全て0であれば変換OFF信号を出力し、メモリ容量検出処理を終了する。



1

【特許請求の範囲】

【請求項1】 CPUとRAMとを備えるメモリ装置において、

前記CPUから入力されるアドレス信号に代えて前記CPUの指示に応じた擬似アドレス信号を前記RAMに出力するアドレス変換手段を設けたことを特徴とするメモリ装置。

【請求項2】 請求項1記載のメモリ装置において、前記アドレス変換手段は、前記CPUによって書き込まれた擬似アドレスデータに対応する擬似アドレス信号を出力することを特徴とするメモリ装置。

【請求項3】 請求項1または2記載のメモリ装置において、

前記アドレス変換手段は、前記CPUからの変換停止指示があるとCPUから入力されるアドレス信号をそのまま出力することを特徴とするメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、CPUとRAMとを備えるメモリ装置に関する。

【0002】

【従来の技術】 従来、CPUとRAMとを備えるメモリ装置では、CPUは、その起動時に、実装されているRAMの容量の検出と動作確認を行うのが普通である。一般的には、CPUは、メモリ実装可能なすべてのアドレスにアクセスして各アドレスへの書き込みデータとそのアドレスからの読み出しデータとを比較し、メモリが実装されているアドレスと実装されていないアドレスとを認識することにより実装されているメモリ容量を検出すると共にメモリが正常に機能していることを確認している。

【0003】

【発明が解決しようとする課題】 しかしながら、CPUによっては、すべてのアドレスにアクセスできるモードとアクセスできるアドレスに制限があるモードとを備えているものがある。このようなCPUは、一般的にアクセスできるアドレスに制限があるモードで起動されるため、起動時には、実装されている全メモリの容量を検出しすべてのメモリが正常に機能していることを確認することができず、すべてのアドレスにアクセスできるモードに移って初めて全メモリの容量の検出と機能の確認ができた。

【0004】 このため、CPUは、アクセスできるアドレスに制限があるモードで検出したメモリ容量、つまり実装されているメモリ容量よりも少ないメモリ容量を前提としてシステムを構築し、次にすべてのアドレスにアクセスできるモードで検出したメモリ容量（実装されているメモリ容量）を前提としたシステムを構築するという、いわば二度手間をかける必要があった。

【0005】 本発明は、上述した問題点を解決するため

2

になされたものであり、メモリ装置の起動時に、実装されている全メモリ容量の検出とその機能確認ができないことによる弊害を防止することを目的としている。

【0006】

【課題を解決するための手段】 上記課題を解決するための手段として、請求項1記載のメモリ装置は、CPUとRAMとを備えるメモリ装置において、前記CPUから入力されるアドレス信号に代えて前記CPUの指示に応じた擬似アドレス信号を前記RAMに出力するアドレス変換手段を設けたことを特徴とする。

【0007】 請求項2記載のメモリ装置は、請求項1記載のメモリ装置において、前記アドレス変換手段は、前記CPUによって書き込まれた擬似アドレスデータに対応する擬似アドレス信号を出力することを特徴とする。請求項3記載のメモリ装置は、請求項1または2記載のメモリ装置において、前記アドレス変換手段は、前記CPUからの変換停止指示があるとCPUから入力されるアドレス信号をそのまま出力することを特徴とする。

【0008】

【発明の実施の形態】 上記の構成になる請求項1記載のメモリ装置においては、アドレス変換手段は、CPUから入力されるアドレス信号に代えてCPUの指示に応じた擬似アドレス信号をRAMに出力する。

【0009】 例えばCPUが32本のアドレス信号線を持ち、起動時には上位の12本は常に0が出力されアクセスできるアドレスに制限があるモードであるとして、上位の12本のいずれかが1となるアドレスにアクセスしようとする場合に、CPUは、そのようなアドレスに相当する擬似アドレス信号の出力をアドレス変換手段に指示する。

【0010】 そして、CPUからのアドレス信号（上位12本はすべて0）が入力されると、アドレス変換手段は、前述の擬似アドレス信号（上位12本のいずれかが1）をRAMに出力する。RAMは、これをCPUからのアクセス信号として認識するので、CPUはそのアドレスに対して書き込み、読み出しできる。

【0011】 CPUは、アドレス変換手段に指示して擬似アドレス信号を次々と変化させることにより、アドレスに制限があるモードでも、実装されている全メモリ容量の検出とその機能確認ができる。請求項2記載のメモリ装置においては、アドレス変換手段は、CPUによって書き込まれた擬似アドレスデータに対応する擬似アドレス信号を出力する。

【0012】 CPUが、疑似アドレスデータを書き換えることにより、アドレス変換手段が outputする疑似アドレス信号も変化する。従って、CPUは、前述の例であれば、上位12本のアドレス信号の最下位ビットだけを1とするような疑似アドレスデータから順に、12本のアドレス信号の全ビットを1とするような疑似アドレスデータまでを書き換えて行けば、アドレスに制限があるモ

ードであっても、すべてのアドレスにアクセスできる。この疑似アドレスデータの書き換えを頻繁に実行する必要はないから、アクセスを制限されているアドレスにアクセスするためにCPUが実行する処理はわずかで済む。

【0013】請求項3記載のメモリ装置においては、アドレス変換手段は、CPUからの変換停止指示があるとCPUから入力されるアドレス信号をそのまま出力する。従って、CPUは、アドレスに制限があるモードでは上述の様にアドレス変換手段による疑似アドレス信号によって所望のアドレスにアクセスし、その後アドレスに制限がないモードとなる前またはアドレスに制限がないモードとなった直後に変換停止指示を出せば、自信が outputするアドレス信号によって所望のアドレスにアクセスすることができ、アドレスに制限がないモードとなってからのRAMへのアクセスに支障はない。

【0014】

【具体例】次に、本発明の一具体例を図面を参照して説明する。まず、本具体例のメモリ装置10の構成について、そのブロック図である図1を参照して説明する。

【0015】図1に示すように、本メモリ装置10は、いずれも周知のCPU1、RAM2およびアドレスデコーダ3と、本発明のアドレス変換手段に相当するアドレス変換装置4とを備えている。CPU1は、アドレス信号A31からA0の32本のアドレス信号を出力可能で、アドレス信号A19からA0（以下A19-A0と表す）の下位の20本は直接RAM2に入力され、アドレス信号A31からA20（以下A31-A20と表す）の上位12本は、アドレス変換装置4に入力される。また、CPU1が出力する変換ON信号及び変換OFF信号は、アドレス変換装置4に入力される構成であり、リード信号及びライト信号はRAM2に入力される構成である。

【0016】なおこの具体例では、CPU1は、すべてのアドレス信号A31-A0はプログラムで指定したアドレスがそのまま出力される無制限モードと、アドレス信号A19-A0はプログラムで指定したアドレスがそのまま出力されるが、アドレス信号A31-A20は常に0が出力される制限モードとを持ち、リセット直後は制限モードで起動される構造である。

【0017】アドレス変換装置4は、アドレス信号A31-A20と同じビット数（12ビット）の疑似アドレス用データを記憶してこれを出力可能であり、CPU1は、アドレス変換装置4の疑似アドレス用データを隨時書き換えることができる。アドレス変換装置4の出力はRAM2に送られるが、アドレス変換装置4は、CPU1からの変換ON信号を受けると、次に変換OFF信号を受けるまでは、記憶している疑似アドレス用データを疑似アドレス信号A31'-A20'として出力し、変換OFF信号を受けるとCPU1から入力されるアドレ

ス信号A31-A20を、そのまま疑似アドレス信号A31'-A20'としてRAM2に出力する構成である。

【0018】なお、CPU1からのアドレス信号A19-A0およびアドレス変換装置4からの疑似アドレス信号A31'-A20'は、アドレスデコーダ3にも入力される構成である。また、CPU1とRAM2とは、データバスによっても接続されている。

【0019】次に、このメモリ装置10の動作について、メモリ容量の検出と動作確認のためCPU1が実行するメモリ容量検出処理のフローを示す図2を参照して説明する。メモリ装置10がリセットされると、CPU1は図2に示されるメモリ容量検出処理を実行する。なお、この際CPU1は制限モードであり、アドレス信号A19-A0はプログラムで指定したアドレスがそのまま出力されるが、アドレス信号A31-A20は常に0が出力される。

【0020】図2に示すように、CPU1は、メモリ容量検出処理を開始するとまずアドレス変換装置4の疑似アドレス用データをクリア（12ビットとも0）し、変換ON信号を出力する（ステップ21、以下ステップを単にSと表す）。次ぎに、CPU1は、RAM2の一つのアドレスにデータを書き込んで読み出す（S22）。初回のアクセスでは、この書き込みと読み出しの対象とされるアドレスは最下位のアドレス（アドレス信号A31-A0がすべて0）である。続いて、CPU1は、S22で書き込んだデータと読み出したデータとを比較し、両者が一致していないければ（S23: NO）、このアドレスの動作が正常ではないことになるので、変換OFF信号を出力して（S24）、メモリ容量検出処理を終了する。

【0021】一方、S22で書き込んだデータと読み出したデータとが一致していれば（S23: YES）、このアドレスの正常動作が確認できたわけで、CPU1は、次のアドレスにアクセスすべくアドレス信号A19-A0をインクリメントする（S25）。次に、CPU1は、アドレス信号A19-A0がすべて0かを判断する（S26）。そして、アドレス信号A19-A0のいずれかが1であれば（S26: NO）S22に回帰し、アドレス信号A19-A0が全て0であれば（S26: YES）S27に進んで疑似アドレス用データをインクリメントする。

【0022】その後、CPU1は、疑似アドレス用データの全ビットが0であるかを判断して、疑似アドレス用データのいずれかのビットが1であれば（S28: NO）S22に回帰し、全ビットが0であれば（S28: YES）S29に進んで変換OFF信号を出力し、このメモリ容量検出処理を正常に終了する。

【0023】この処理では、最初に疑似アドレス用データがクリアされることで、アドレス変換装置4が出力す

5

る疑似アドレス信号A31' - A20'はすべて0となる。この状態で、CPU1は、アドレス信号A19 - A0をインクリメントしつつ、アドレス信号A31 - A20がすべて0であるアドレスに順々にアクセスする(S22～S26)。これは、アドレス信号A19 - A0がすべて1となるまで繰り返され、桁上がりしてアドレス信号A19 - A0がすべて0となったならば(S26: YES)、疑似アドレス用データがインクリメントされ疑似アドレス信号A20'は1となる。したがって、次にS22～S26を実行すれば、CPU1は、アドレス信号A20が1のアドレスに順々にアクセスすることになる。

【0024】さらに、アドレス信号A19 - A0が桁上がりして全て0になる毎に疑似アドレス用データをインクリメントすることにより、アドレス変換装置4から出力される疑似アドレス信号A31' - A20'がインクリメントされるので、CPU1は、アドレス信号A31 - A20のいずれかが1となる上位のアドレスに順次アクセスすることができる。ただし、CPU1のアドレス信号A31 - A20の出力は0である。

【0025】このようにして、CPU1は、アクセスできるアドレスに制限がある制限モードでありながら、実装されている全てのアドレスにアクセスできる。つまり、メモリ装置10の起動時に、実装されている全メモリ容量の検出とその機能確認ができる。したがって、メモリ装置10の起動時に、実装されている全メモリ容量の検出とその機能確認ができないことによる弊害を防止できる。

【0026】また、実装されている全メモリ容量の検出とその機能確認ができれば、アドレス変換装置4を機能させる必要はなくなるので、CPU1は、変換OFF信号を出力する。これによりアドレス変換装置4は、CP*

6

* U1から入力されるアドレス信号A31 - A20を、そのまま出力するので、アドレスに制限がないモードとなってからのRAM2に対するアクセスに支障はない。

【0027】以上、具体例に従って、本発明の実施の形態について説明したが、本発明はこのような具体例に限定されるものではなく、本発明の要旨を逸脱しない範囲でさまざまに実施できることは言うまでもない。

【0028】

【発明の効果】以上説明したように、請求項1記載のメモリ装置によれば、CPUは、アクセスできるアドレスに制限があるモードであっても、実装されている全メモリ容量の検出とその機能確認ができる。

【0029】請求項2記載のメモリ装置によれば、アクセスを制限しているアドレスにアクセスするためにCPUが実行する処理はわずかで済む。請求項3記載のメモリ装置によれば、CPUは、アドレスに制限があるモードでも実装されている全てのアドレスにアクセスすることができ、アドレスに制限がないモードとなってからのRAMへのアクセスに支障はない。

20 【図面の簡単な説明】

【図1】 具体例のメモリ装置の構成を説明するブロック図である。

【図2】 具体例のメモリ装置において、リセット後にCPUが実行するメモリ容量検出処理のフローチャートである。

【符号の説明】

1 . . . CPU,

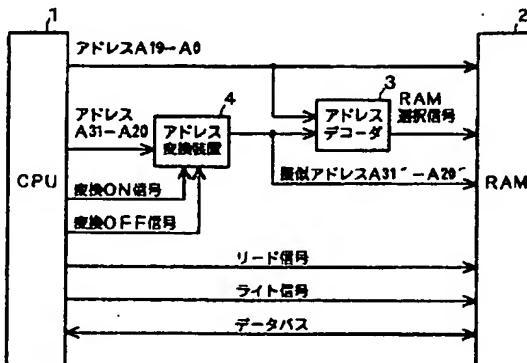
2 . . . RAM,

3 . . . アドレスデコーダ,

30 4 . . . アドレス変換装置,

10 . . . メモリ装置。

【図1】



【図2】

